

(18)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06104694 A**

(43) Date of publication of application: **15.04.94**

(51) Int. Cl

H03H 17/02

H03H 17/00

(21) Application number: **04277809**

(71) Applicant: **SONY CORP**

(22) Date of filing: **22.09.92**

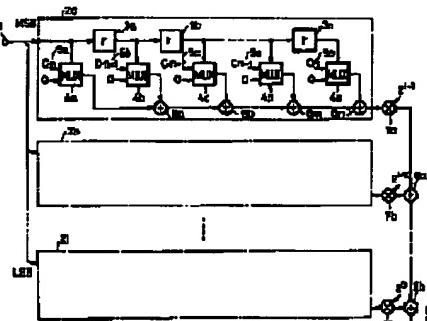
(72) Inventor: **IKEDA YASUNARI**

(54) DIGITAL FILTER

(57) Abstract:

PURPOSE: To reduce the circuit scale of the digital filter by forming the circuit for the digital filter without use of an arithmetic operation circuit.

CONSTITUTION: Plural digital filters 2a-2l for binary input signals whose number corresponds to number of figures of the input signals are provided. Each digital filter is connected corresponding to each figure of the input signal. Furthermore, an output of each digital filter is weighted by weighting circuits 7a-7l corresponding to the figure position and the result is added by adder circuits 8a-8h. Output data from the adder circuit 8h are extracted from an output terminal 9.



COPYRIGHT: (C)1994,JPO&Japio

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-104694

(43) 公開日 平成6年(1994)4月15日

(51) Int.Cl.⁵
H 03 H 17/02
17/00

識別記号 庁内整理番号
E 7037-5 J
L 7037-5 J
A 7037-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数12(全 9 頁)

(21) 出願番号

特願平4-277809

(22) 出願日

平成4年(1992)9月22日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 池田 康成

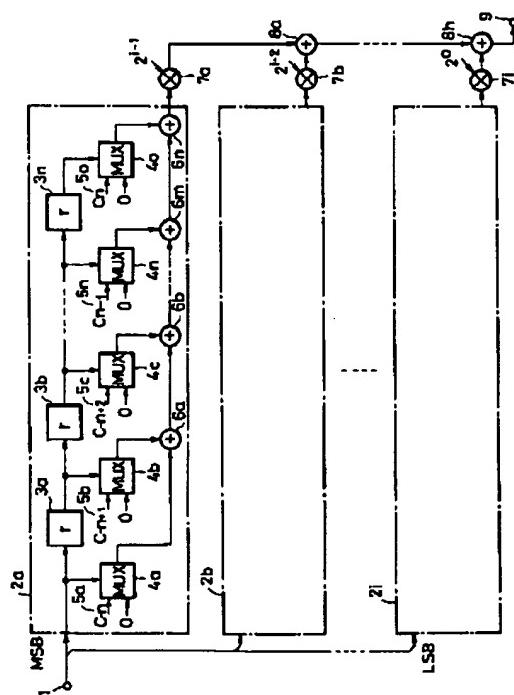
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 デジタルフィルタ

(57) 【要約】

【目的】 デジタルフィルタの回路規模を小さくする。
【構成】 入力信号の桁数に対応した数の2値入力信号に対する複数のデジタルフィルタ 2a～2i を有する。各デジタルフィルタは、入力信号の各桁に対応して接続される。また、各デジタルフィルタの出力は、桁位置に対応して重み付け回路 7a～7i により重み付けされ、加算回路 8a～8h で加算される。加算回路 8h からの出力データが出力端子 9 から取り出される。



1

【特許請求の範囲】

【請求項1】 入力信号の桁数に対応した数の2値入力信号に対する複数のデジタルフィルタを有し、上記それぞれのデジタルフィルタが上記入力信号の各桁に対応して接続され、上記それぞれのデジタルフィルタの出力を桁位置に対応して重み付け加算して出力信号となしたことを特徴とするデジタルフィルタ。

【請求項2】 入力信号の桁数に対応した数の2値入力信号に対するデジタルフィルタを持ち、上記それぞれのデジタルフィルタが上記入力信号の各桁に対応して接続され、上記それぞれのデジタルフィルタのタップ係数は(接続された)上記入力信号の桁位置に応じて重み付けられており、上記それぞれのデジタルフィルタの出力を加算して出力信号となしたことを特徴とするデジタルフィルタ。

【請求項3】 上記2値入力信号のうち一方の入力は0であり他方の入力は1である事を特徴とする請求項1及び請求項2記載のデジタルフィルタ。

【請求項4】 上記入力信号の桁位置に応じて、それぞれのフィルタの演算精度が異なる構成である請求項1及び2記載のデジタルフィルタ。

【請求項5】 上記2値入力信号に対するデジタルフィルタがROMで構成される請求項1及び2記載のデジタルフィルタ。

【請求項6】 上記それぞれの2値デジタルフィルタが異なるインパルス応答を有する請求項1及び2記載のデジタルフィルタ。

【請求項7】 2値入力信号に対するデジタルフィルタを複数個有し、上記デジタルフィルタのそれぞれが定められた入力レベルの信号のみに応答するようになり、上記デジタルフィルタの出力を上記定められた入力レベルに応じて重み付けし、これら重み付け出力を合成したことを特徴とするデジタルフィルタ。

【請求項8】 2値入力信号に対するデジタルフィルタを複数個有し、上記デジタルフィルタのそれぞれが定められた入力レベルの信号のみに応答するようになり、上記デジタルフィルタのそれぞれのフィルタタップ係数を上記定められた入力レベルに応じて重み付けし、これらフィルタ出力を合成したことを特徴とするデジタルフィルタ。

【請求項9】 上記2値入力信号のうち一方の入力は0であり他方の入力は1であることを特徴とする請求項7及び8記載のデジタルフィルタ。

【請求項10】 上記出力の重み付けに応じて、上記それぞれのデジタルフィルタの演算精度を決定したことを特徴とする請求項7及び8記載のデジタルフィルタ。

【請求項11】 上記2値入力信号に対するデジタルフィルタを複数個有し、上記デジタルフィルタは、それぞれ特性が異なるような構成であることを特徴とする請求項7及び8記載のデジタルフィルタ。

10

【請求項12】 上記デジタルフィルタを波形整形フィルタとして用いたことを特徴とする請求項7及び8記載のデジタル変調回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はデジタル信号処理に用いられるデジタルフィルタ、例えばデジタル信号の伝送や記録に用いる波形整形フィルタ等に用いて好適なデジタルフィルタに関する。

10

【0002】

【従来の技術】デジタル信号を限定された帯域内で伝送するには、変調速度がF_sの場合、F_s/2の周波数に対して奇対称な低域通過特性となるように送信端から受信端までの周波数特性を持てばよいことが知られている。すなわち、図10に示すように、F_s/2の周波数を基準としてエリア101及びエリア102において、それらの通過特性が奇対称とされる。また、規定電力で送信すると共に受信雑音電力を最小にするには、送信側及び受信側で等しい特性のフィルタを持てばよいことが知られている。

【0003】従来、このようなフィルタはアナログフィルタで構成されていたが、最近では特性の安定化のためにデジタルフィルタで構成されることが多い。位相特性が直線であることが必要なので、デジタルフィルタの場合も巡回型の構成とされる。図11には、巡回型デジタルフィルタの一般的な構成例が示される。入力端子103から入力されたデータ幅が1ビットの入力データは、遅延回路104に供給されて次々と後段の遅延回路に伝搬される。そしてこの入力データ及び各遅延回路104の出力タップからのデータは、乗算回路106にて所定のタップ係数105との重み付けがなされた後、加算回路107に供給される。加算回路107では、各乗算器106の出力データが加算される。加算回路107の加算結果は、順々に後段の加算回路へ供給され、各乗算器からの重み付け出力の総和が出力端子108から得られる。

【0004】ところで乗算回路106の回路規模は、演算語長が大きくなるにしたがって大きくなってしまう。また、フィルタの所要タップ長が長くなればタップ数だけ乗算回路が必要とされる。このため、フィルタ全体の回路規模も膨大にならざるを得ない。さらに、加算器の数も、遅延回路のタップの段数分必要であり、回路規模は大きくならざるを得ない。

【0005】また、図12には、位相特性が直線である場合に、フィルタのタップ係数が左右対称である性質を利用して乗算器の数を半減したデジタルフィルタの構成が示される。すなわち、入力端子109からされた入力データは、遅延回路110に供給されて次々と後段の遅延回路に伝搬される。遅延回路110のタップから出力される各データは、所定の加算器111で加算された

後、乗算器112に供給される。乗算器112において、加算器111から出力されたデータは、所定のタップ係数113との重み付けがなされた後、加算回路114に供給される。加算回路114では、各乗算器112の出力データが加算される。加算回路114の加算結果は、順々に後段へ供給され、出力端子115から各乗算器112からの重み付け出力の総和が得られる。このようにデジタルフィルタを構成したとしても、回路規模が大きくなってしまう。

【0006】

【発明が解決しようとする課題】上述のような構成のデジタルフィルタでは乗算回路を多用するので回路規模が大きくならざるを得ない。また、デジタル信号を伝送するためのフィルタは送信側においては入力信号は限られたレベルのみであり、このレベルの数も2値や4値、または8値程度であることが多い。しかしながら上述のような構成では、入力レベル数が少ない場合にもその回路規模は大きくならざるを得ない。

【0007】従って、この発明の目的は、極力小さな回路規模のデジタルフィルタを提供することにある。

【0008】また、この発明の目的は、入力レベル数が少ない時に回路規模を小さくすることが可能なデジタルフィルタを提供することにある。

【0009】

【課題を解決するための手段】この発明は、2値入力に対し応答するデジタルフィルタを入力信号の桁数分だけ持ち、これらのデジタルフィルタを入力信号の各桁に接続し、このフィルタ出力を桁位置に対応して重み付け加算して出力するデジタルフィルタである。

【0010】また、この発明は、単位入力に対するデジタルフィルタを複数個持ち、各デジタルフィルタは特定のレベルのみに応答するようにさせることにより簡単化し、各デジタルフィルタの出力を、そのフィルタが応答する入力レベルに応じて重み付けして合成する。

【0011】

【作用】2値入力に対し応答するデジタルフィルタは、タップ出力が1の時はタップ係数を、また、タップ出力が0の時は「0」を出力する。タップ出力で「タップ係数」か「0」かを選択するマルチプレクサを用いて構成する。このため、乗算回路を用いずに回路を構成することができる。入力信号の各桁に上記の2値デジタルフィルタを接続し、この2値デジタルフィルタ出力を信号桁に応じて重み付け加算することによってフィルタ出力を得る。ここで、信号桁による重み付けはこの場合單にデータの桁移動で実現でき、複雑な乗算回路は必要としない。

【0012】また、上記単位入力に対するフィルタは単位入力に対してはデータが「1」となるので、その乗算器出力は単にフィルタ係数を出力することであり、乗算器を省略することができる。また、無入力の時はデータ

が「0」であるので、乗算器出力も「0」となり、この時も乗算器を省略することができる。このように、単位入力に対するフィルタは乗算器を省略することができるるので、その回路構成を非常に簡便化できる。このようなフィルタを複数個持ち、それぞれが異なったレベルに対して応答するようになし、これら出力をその入力レベルに応じて重み付け加算することにより回路規模を小さくすることが可能になる。

【0013】

【実施例】以下、この発明が適用されたデジタルフィルタの実施例を図面を用いて説明する。図1には、この発明によるデジタルフィルタの第1実施例が示される。図1において、データ幅が例えば1ビットのデータは、入力端子1を介して2値デジタルフィルタ2a～2iに供給される。つまり、データのMSBから順に2a、2b……、データのLSBが2iにそれぞれ供給される。

【0014】ここで、2値デジタルフィルタ2aに供給されたデータのMSBは、遅延回路3aに供給される。遅延回路3aに供給されたデータは、3b……3nの遅延回路に順にシフトされると共に、マルチプレクサ4aに供給される。また、遅延回路3aの出力データはマルチプレクサ4bに、遅延回路3bの出力データはマルチプレクサ4cに、遅延回路3nの出力データはマルチプレクサ4oにそれぞれ供給される。このため、各マルチプレクサは、入力端子1からのデータ及び各遅延回路からの出力データによって制御される。

【0015】各マルチプレクサに対して、タップ係数データ及び0データが入力として供給される。各マルチプレクサに入力されるデータが「1」の場合には、タップ係数データ(5a～5o)がそれぞれ選択される。また、これが「0」の場合には、0データが選択される。マルチプレクサに入力されるデータに対応するデータをマルチプレクサで選択することは、1ビットのデータとタップ係数を乗算することと等価であり、各マルチプレクサで乗算回路を構成していることになる。各マルチプレクサの出力データは、対応する加算器6a～6nに供給される。加算器6a～6nの加算値が加算器6nから重み付け回路7aに出力される。

【0016】重み付け回路7aでは、加算器6nの出力データの桁数に応じた重み付けが行われる。この重み付けは、各2値デジタルフィルタのインバ尔斯応答は等しいが、入力信号レベルがデータの桁位置によって異なり、これを補正して出力するために行われる。上述と同様の処理が2値デジタルフィルタ2b～2iで行われる。重み付け回路7a～7iの出力データは、対応する加算回路(8a～8h)でそれぞれ加算され、出力端子9から出力データが取り出される。

【0017】図2にはこの発明によるデジタルフィルタの第2実施例が示される。なお、図2において、デジタルフィルタ12a～12iは、図1のデジタルフィルタ

2 a～2 iと同じ構成とされる。入力端子1 1からは、第1実施例と同様に、データ幅が例えば1ビットのデータが2値デジタルフィルタ1 2 a～1 2 iに供給される。つまり、データのMSBから順に1 2 a、1 2 b……、データのLSBが1 2 iにそれぞれ供給される。

【0018】各マルチプレクサには、予めその桁位置に応じて重み付けされており、第1実施例で必要とされた重み付け回路が省略された構成とされる。各マルチプレクサの出力データは、加算器1 6 a～1 6 nで加算された後、対応する加算回路(1 7 a～1 7 h)でそれぞれ加算される。加算回路1 7 hからは、デジタルフィルタ1 2 aから1 2 iのデータの総和が出力され、出力端子1 8から出力データが取り出される。
10

【0019】図3には、この発明によるデジタルフィルタの第3実施例が示される。図3において、入力端子2 1からは、上述と同様に、データ幅が1ビットのデータが2値デジタルフィルタ2 2 a～2 2 iに供給され、データのMSBから順に2 2 a、2 2 b……、データのLSBが2 2 iにそれぞれ供給される。

【0020】ここで、2値デジタルフィルタ2 2 aに供給されたデータのMSBは、遅延回路2 3 a及びROM2 4に供給される。遅延回路2 3 aに供給されたデータは、2 3 b……2 3 nの遅延回路に順にシフトされる。また、各遅延回路の出力データは、ROM2 4に供給される。ROM2 4の出力データは、重み付け回路2 5 aに供給され、所定の係数により重み付けがなされる。その後、重み付け回路2 5 a～2 5 iの出力データは、対応する加算器2 6 a～2 6 hで加算される。加算器2 6 hの出力データは、2値デジタルフィルタ2 2 a～2 2 iの出力の総和として出力端子2 7から出力される。なお、同様の処理が2値デジタルフィルタ2 2 b～2 2 iにおいてなされる。
20

【0021】この実施例では、2値デジタルフィルタ2 2 a～2 2 iをROM2 4で構成し、ROM2 4は、各タップ出力でアドレスされる。なお、ROM2 4は、第1実施例におけるマルチプレクサ4 a～4 o及び加算回路6 a～6 nの機能を有する。同一内容のROMを各桁に持たせる時には、この実施例のように外部に重み付け回路2 5 a～2 5 iを配設し、更に加算回路2 6 a～2 6 hを介して出力データを得るような構成とされる。しかししながら、予めタップ係数をその桁位置に対応して重み付けするような構成とすることで、重み付け回路2 5 a～2 5 iを省略することが可能になる。
30

【0022】図4には、この発明によるデジタルフィルタの第4実施例が示される。以下、この回路構成について説明する。図4において、1ワードが1ビットで構成される2値データは、入力端子3 1を介してデコーダ3 2に入力される。デコーダ3 2では、入力されたデータにしたがって2値デジタルフィルタ3 3 a～3 3 iが選択され、データ3 2 a～3 2 iが与えられる。
40

【0023】例えば2値デジタルフィルタ3 3 aは、3 4 a～3 4 nの2値レジスタと、マルチプレクサ3 5 a～3 5 oと、マルチプレクサ3 5 a～3 5 oの出力データを加算する加算器3 6 a～3 6 nとからなる。なお、マルチプレクサ3 5 aは、デコーダ3 2からの出力データにより、また、各マルチプレクサ3 5 b～3 5 oは、2値レジスタ3 4 a～3 4 nのそれぞれの出力データによりそれぞれ制御される。また、各マルチプレクサ3 5 a～3 5 oには、「タップ係数データ」及び「0データ」が供給される。各マルチプレクサの出力データは、対応する加算器3 6 a～3 6 nにて加算される。他の2値デジタルフィルタ3 3 b～3 3 iも2値デジタルフィルタ3 3 aと同様の構成とされる。

【0024】各2値デジタルフィルタにおける最終段の加算器からの出力データは、それぞれ重み付け回路3 7 a、3 7 b……3 7 iに供給される。各重み付け回路に供給されたデータは、所定の係数により重み付けされた後、対応する加算器3 8 a～3 8 hで加算される。加算器3 8 hの出力データは、2値デジタルフィルタ3 3 a～3 3 iの出力の総和として出力端子3 9から出力される。

【0025】以下、この回路の動作について説明する。入力端子3 1から入力されたデータはデコーダ3 2でデコードされ、3 2 a～3 2 iまでの出力信号は、特定レベルが入力された時に特定端子のみに「1」を、また、他の端子には「0」を与える。このデコーダ3 2の出力データは、2値デジタルフィルタ3 3 a～3 3 iに入力される。各デジタルフィルタにおいて、出力が「1」のタップではタップ係数との乗算結果はタップ係数と等しくなり、また、タップ出力が「0」の時のタップ係数との乗算結果は「0」となるので、タップ出力で乗算出力として「タップ係数データ」または「0データ」かを選択するようにすれば複雑な乗算回路を省略することができる。このようにして得られた各レベルに対する2値デジタルフィルタ出力をその入力レベルに応じて3 7 a～3 7 iの乗算器で重み付けし、3 8 a～3 8 hの加算器で加算して出力端子3 9から出力データを得る。

【0026】この実施例では、2値デジタルフィルタが極めて簡単な構成で実現でき、この2値デジタルフィルタ出力の重み付け用の乗算器の数も従来に比して格段に少なくできる。また、各2値デジタルフィルタ出力は重み付けられた後で加算されているが、加算器出力の有効データはこの重み係数の大きい2値デジタルフィルタ出力によって支配され、重み係数の小さい2値デジタルフィルタ出力は結果にあまり寄与しない。即ち、2値デジタルフィルタの演算精度は出力の重み付けに依存するので、重み付けの小さい2値デジタルフィルタの演算精度を粗くすることができる。

【0027】図5には、この発明によるデジタルフィルタの第5実施例が示される。図5におけるデジタルフィ

ルタの構成は、図4に示される乗算器37a～37iを省略したものである。すなわち、乗算器の重み係数を予めタップ係数に与えておくことにより乗算器を省略することが可能になる。

【0028】図6には、この発明によるデジタルフィルタの第6実施例が示される。図6において、入力端子41及びデコーダ42を介して入力されたデータは、デジタルフィルタ43aの遅延回路44a及びROM45に供給される。遅延回路44aに供給されたデータは、44b～44nの遅延回路に順にシフトされる。ROM45の出力データは、加算器46a～46hで加算される。加算器46hの出力データは、2値デジタルフィルタ43a～43iの出力の総和として出力端子47から出力される。なお、このような処理が2値デジタルフィルタ22b～22iにおいてもなされる。ROM45は、各タップ出力でアドレスされて、各タップの乗算結果が「タップ係数データ」か「0データ」かを選択すると共にその選択結果を加算して出力する様にプログラムされている。

【0029】なお、第4実施例ではそれぞれの2値デジタルフィルタのインパルス応答は等しく、第5実施例では単にそれぞれの2値デジタルフィルタ出力レベルが異なるだけで、インパルス応答は等しい構成になっていたが、第6実施例では、出力レベルによってそのインパルス応答を異ならせた非線形フィルタを簡単に構成することができる。この場合、回路構成は図4～図6までと全く同様であり、単にフィルタのインパルス応答の異なる2値デジタルフィルタが含まれているだけである。

【0030】図7には、16QAM変調に用いるための送信側の波形整形フィルタに、この発明による2値デジタルフィルタが応用された場合の回路構成が示される。なお、16QAM変調では、図8に示されるように1シンボル当たり16値の伝送を行うため、I軸及びQ軸にはそれぞれ4値ずつのレベルが割り当てられる。

【0031】以下、図7に示される回路構成の説明がなされる。入力端子51から入力されたデータは、シリアル／パラレル変換器52に供給され、4ビット並列データに変換される。シリアル／パラレル変換器52から出力される2ビットのデータ53aは、波形整形フィルタとして使用されるデジタルフィルタ57aに供給される。また、シリアル／パラレル変換器52からの他の2ビットのデータ53bは、デジタルフィルタ57bに供給される。デジタルフィルタ57aは、デコーダ54aと、2値デジタルフィルタ群55a、55b、55c及び55dと、加算器56aとから構成される。デジタルフィルタ57bの構成は、デジタルフィルタ57aの構成と同様のものとされる。

【0032】加算器56a及び56bの出力データは、それぞれD/A変換器58a及び58b、低域フィルタ59a及び59bを介して乗算器60a及び60bに供

給される。乗算器60aには、変調のための搬送波を発振するための局部発振器63が直接接続される。また、乗算器60bには、搬送波の移相器64を介して局部発振器63が接続される。乗算器60a及び60bの出力信号は、加算器61で加算された後、帯域フィルタ62を介して出力端子56から出力される。

【0033】以下、図7に示される回路動作の説明がなされる。入力端子51から入力されたデータは、シリアル／パラレル変換器52において4ビットの並列データに変換された後、2ビットずつの2系列のデータ53a及び53bとされる。なお、データ53aにはI軸の、また、データ53bにはQ軸の変調処理が適用される。以後の説明はI軸側についてのみ行われるが、Q軸側の処理も同様のものとされる。2ビットの並列データ53aは、デジタルフィルタ57aに入力される。デコーダ54aに入力された並列データ53aはデコードされる。デコーダ54aからは、所定の1つの2値デジタルフィルタのみに「1」を、他のフィルタには「0」が印加される。

【0034】各デジタルフィルタはデコーダ54aで選択された特定のレベルに対してのインパルス応答を出力する。この応答の例が図9に示される。なお、図9において、(a)はデジタルフィルタ55aの、(b)はデジタルフィルタ55bの、(c)はデジタルフィルタ55cの、(d)はデジタルフィルタ55dのそれぞれのインパルス応答に関する。デジタルフィルタ55a～55dの2値デジタルフィルタ出力は、加算器56aで加算され、これにより、所望の波形整形フィルタ処理が行われる。

【0035】更に、このデジタルフィルタ57aの出力をD/A変換器58aにてアナログ信号に変換した後、折り返し成分除去のための低域フィルタ59aを介して変調用ミキサである乗算回路60aに入力してI軸の変調信号を得る。Q軸についても同様の処理を行いQ軸の変調信号を得る。加算回路61ではこれらI軸及びQ軸の変調信号を加算し、更に帯域フィルタ62にて必要な帯域のみ取り出して出力端子56から出力している。

【0036】なお、図7では16QAM変調について説明したが、この発明はこれに限定されるものではなく、その他の変調方式、例えば8PSKや64QAM等にもこの発明を適用することが可能である。

【0037】

【発明の効果】この発明に依れば、各2値デジタルフィルタの出力は最終的にはその桁位置によって重み付けられているのでそれぞれのフィルタにおける演算精度は桁位置によって異ならせることができる。即ち上位桁の演算は精度を高くし、下位桁の演算は精度を低くすることができる。この様に下位桁の演算精度は粗くすることができるので更に回路規模を縮小することができる。

【0038】また、各2値デジタルフィルタは同一のイ

ンパルス応答特性を持っており、重み付け回路を省略した時は単に出力レベルが異なっているだけである。ここで各入力桁の2値デジタルフィルタを異なるインパルス応答を持つようにしておけば、入力レベルに依存した応答をする非線形フィルタを本発明の構成で簡単に実現することができる。

【0039】さらに、入力信号の桁毎に対応する2値デジタルフィルタ出力を加算合成するので乗算回路を使う事なく構成する事ができ、回路の小型化を実現でき、特に入力レベル数が少ない信号に対するフィルタに応用すると、従来の構成に比較し非常に小さな回路規模で実現できる。このことから、デジタル変調回路の波形整形フィルタに用いると小さな回路規模で実現可能となる。

【図面の簡単な説明】

【図1】この発明が適用されたデジタルフィルタの第1実施例である。

【図2】この発明が適用されたデジタルフィルタの第2実施例である。

【図3】この発明が適用されたデジタルフィルタの第3実施例である。

【図4】この発明が適用されたデジタルフィルタの第4実施例である。

【図5】この発明が適用されたデジタルフィルタの第5実施例である。

【図6】この発明が適用されたデジタルフィルタの第6実施例である。

【図7】この発明が適用されたデジタルフィルタの第7実施例である。

【図8】16QAMの信号点配置を説明する図である。

【図9】2値デジタルフィルタのインパルス応答を示す図である。

【図10】フィルタ特性を示す図である。

【図11】非巡回型デジタルフィルタの一般的な回路ブロック図である。

【図12】乗算器の数を半減したデジタルフィルタの回路ブロック図である。

【符号の説明】

2a～2i デジタルフィルタ

12a～12i デジタルフィルタ

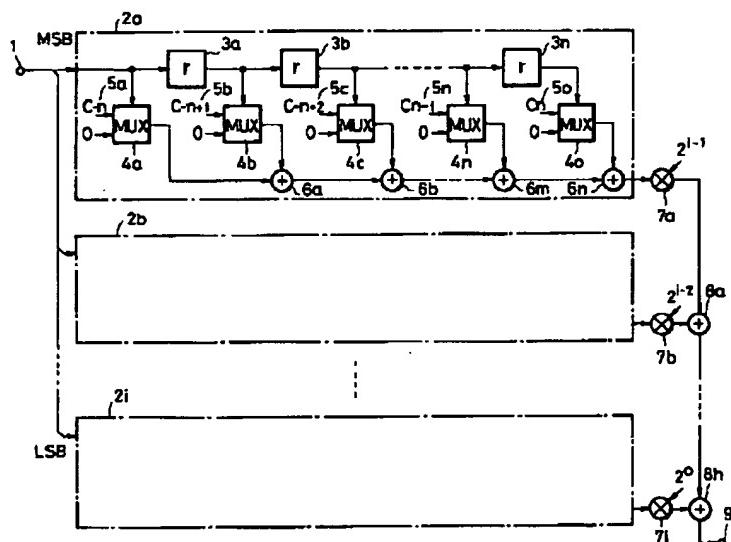
22a～22i デジタルフィルタ

33a～33i デジタルフィルタ

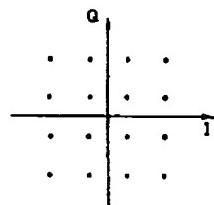
20 43a～43i デジタルフィルタ

57a, 57b デジタルフィルタ

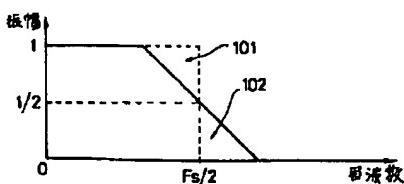
【図1】



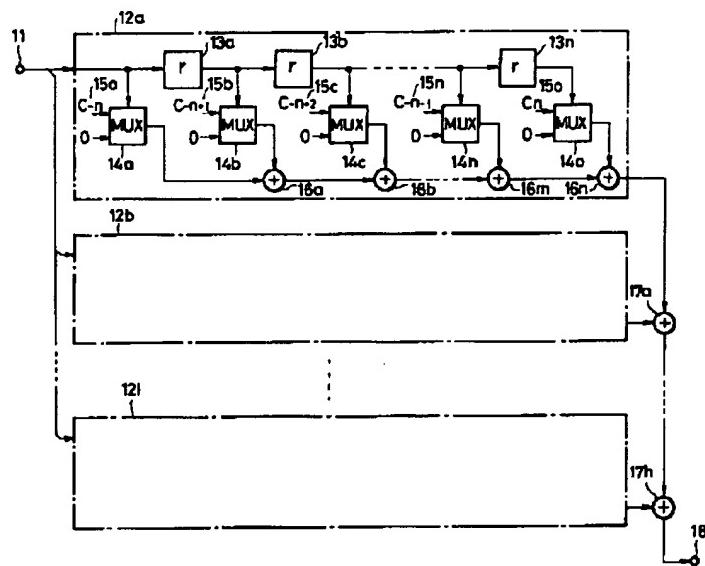
【図8】



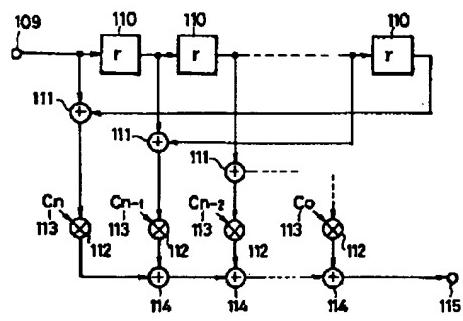
【図10】



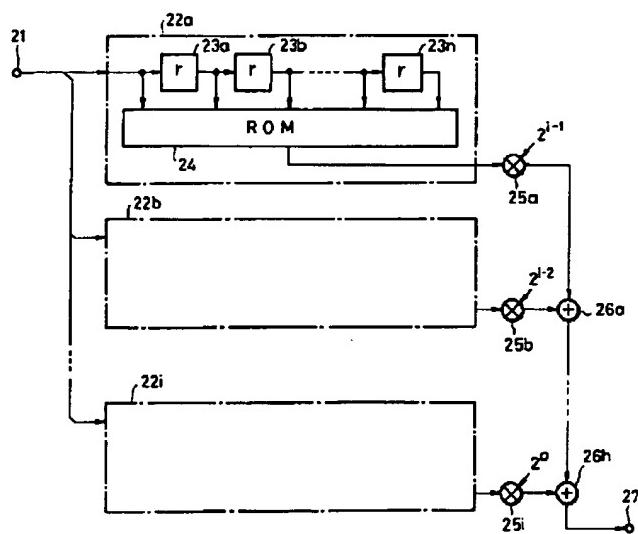
【図2】



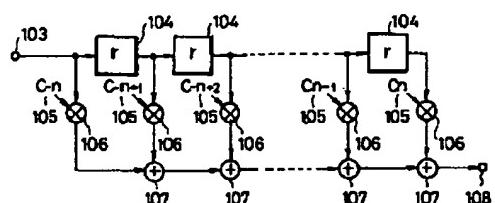
【図12】



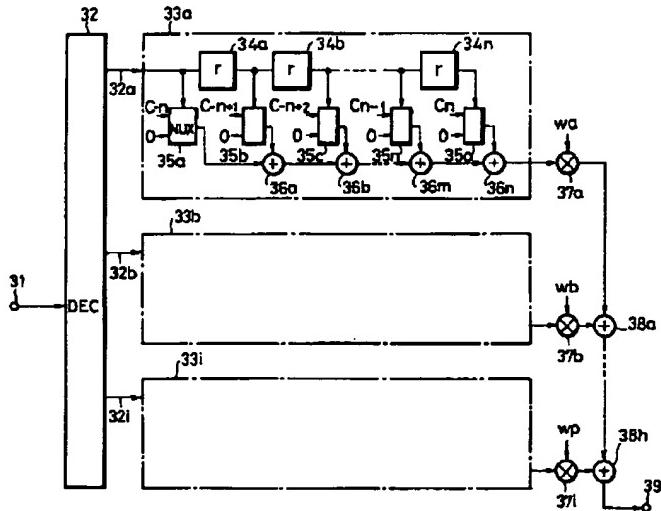
【図3】



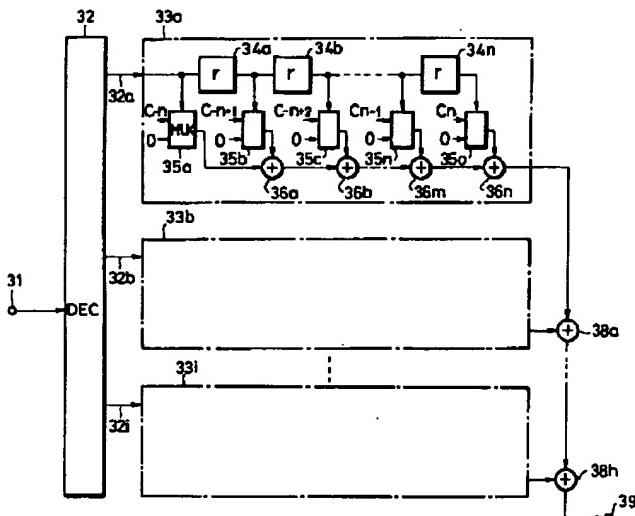
【図11】



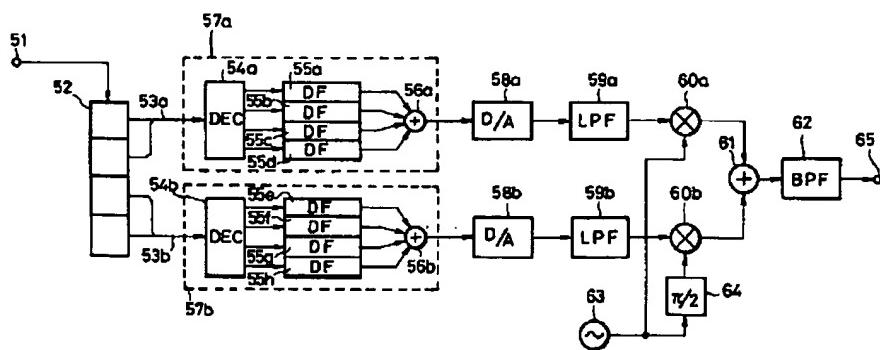
【図4】



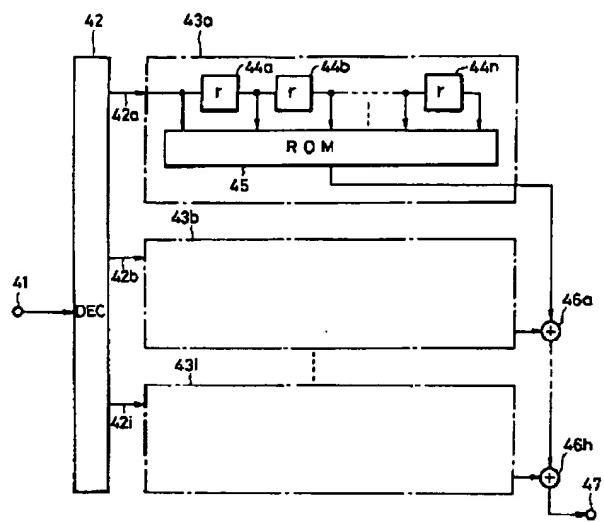
[图 5]



[图3]



【図6】



【図9】

